

NGHIÊN CỨU TỔNG QUAN VẬT LIỆU SILICON TRONG NGÀNH THIẾT BỊ BÁN DẪN

OVERVIEW STUDY OF SILICON MATERIALS IN THE SEMICONDUCTIVE DEVICES INDUSTRY

Châu Thanh Phương

Khoa Điện tử và Kỹ thuật Máy tính, Trường Đại học Kinh tế – Kỹ thuật Công nghiệp

TÓM TẮT

Ngành công nghiệp thiết bị bán dẫn là một trong những ngành quan trọng hiện nay, dựa trên các ứng dụng rộng rãi, có ý nghĩa về kinh tế và chiến lược. Nghiên cứu này tổng quan các công nghệ mới về chất bán dẫn, vật liệu và kiến trúc sản xuất bóng bán dẫn. Đưa ra các xu hướng mới nhất trong quy trình in thạch bản, tập trung vào in thạch bản cực tím (EUV). Ở cấp độ kiến trúc bóng bán dẫn, bài viết thảo luận về các loại bóng bán dẫn khác nhau, nhấn mạnh vào cấu trúc và đặc tính của bóng bán dẫn hiệu ứng trường (FinFET). Bài báo cũng tóm tắt lộ trình phát triển chất bán dẫn mới nhất, những hứa hẹn và thách thức trong việc theo kịp tốc độ tích hợp của Moore.

Từ khóa: EUV; FinFET; In thạch bản; Silicon.

ABSTRACT

The semiconductor equipment industry is one of today's important industries, based on widespread applications that are economically and strategically significant. This study overviews new technologies in semiconductors, materials, and transistor manufacturing architecture. Covers the latest trends in lithography processes, with a focus on extreme ultraviolet (EUV) lithography. At the transistor architecture level, the article discusses different types of transistors, with an emphasis on the structure and characteristics of field-effect transistors (FinFETs). The article also summarizes the latest semiconductor development roadmap, the promises and challenges of keeping up with Moore's pace of integration.

Keywords: EUV; FinFET; Lithography; Silicon.

1. ĐẶT VẤN ĐỀ

Năm 1956, Bell Labs đã phát triển bóng bán dẫn thể rắn sử dụng Germanium (Ge). Sau này Silicon (Si) thay thế Ge vì nhiều lý do; Si dễ dàng tương tác với ô-xy (O_2), tạo thành lớp SiO_2 , có chức năng như chất cách điện. Lớp này cần thiết cho bóng bán dẫn hiệu ứng trường bán dẫn ô-xít kim loại (MOSFET), vì nó tách cổng khỏi kênh và đóng vai trò như một lớp che trên các điểm nối, ngăn chặn sự khuếch tán tạp chất trong vùng mà nó che chắn. Si cũng có sự chênh lệch điện thế cao hơn giữa dải dẫn và dải hóa trị (band-gap), khiến Si kém có khả năng tạo ra cặp nhiệt, điều này cho thấy các thiết bị Si có ít nhiễu hơn ở cùng nhiệt độ. Tại điểm nối p-n, Si có dòng điện ngược thấp hơn (dòng rò) và điện áp nghịch đảo đỉnh cao hơn. Tinh thể Si có thể chịu nhiệt tốt hơn Ge. Hơn nữa, Si được tìm thấy tự nhiên trong cát và việc xử lý nó đơn giản hơn và ít tốn kém hơn.

2. TỔNG QUAN VỀ NGÀNH BÁN DẪN

Si là một trong những nguyên tố rẻ tiền nhất, nhưng ngành công nghiệp đã biến nó thành một trong những mặt hàng có giá trị nhất, đó là mạch tích hợp (IC). Tất cả các thiết bị điện tử, như PC, máy tính bảng và điện thoại thông minh, đều dựa vào các thành phần bán dẫn. Mặc dù Trung Quốc có ngành khai thác Si lớn nhất thế giới nhưng mỗi năm nước này nhập khẩu IC trị giá khoảng 300 tỷ USD từ Mỹ [1].

Năm 2019, 32,4% phân khúc thị trường bán dẫn dành cho mạng và thiết bị truyền thông. Vào năm 2021, thị trường bán dẫn toàn cầu dự kiến sẽ đạt 469,4 tỷ USD và tốc độ tăng trưởng hàng năm của chất bán dẫn được dự đoán là 8,4% và dự kiến sẽ đạt 726,73 tỷ USD vào năm 2027 [2]. Các công trình nghiên cứu

của VNL đã giúp ASML phát hành máy EUL (NXE:3400B) vào năm 2017; nó có khả năng sản xuất các công nghệ 7-5 nm với công suất 125 tấm bán dẫn mỗi giờ [3] và phiên bản kế nhiệm của nó (NXE:3400C) với công suất 170 tấm bán dẫn mỗi giờ, và phát triển ống kính khẩu độ số cao (EXE: 5000). Năm 2020, doanh thu của ASML lên tới 10,3 tỷ euro, trong đó 18% đến Trung Quốc, 36% đến Đài Loan và 31% đến Hàn Quốc.

Giải pháp thay thế EUV là sử dụng các mặt nạ phức tạp với công nghệ in thạch bản in nano (NIL) tiên tiến; điều này cho phép Kaixia ở Nhật Bản đạt được chip dưới 15 nm, với tốc độ mục tiêu 5 nm vào năm 2025, (2020F) đứng top 15 công ty trên toàn thế giới [4]. Trong quý 3 năm 2021, công ty sản xuất chất bán dẫn Đài Loan (TSMC) giữ hơn 53% ngành công nghiệp đúc bán dẫn trên toàn thế giới, trong khi Samsung giữ 17,1% [5]. TSMC đã đáp lại những lo ngại của Hoa Kỳ về tác động thiếu hụt chip điện tử đối với các ngành công nghiệp khác nhau và nhu cầu tăng cường chuỗi cung ứng [6], TSMC bắt đầu xây dựng một nhà máy chip trị giá 12 tỷ USD ở Arizona để sản xuất chip 5 nm vào năm 2024 [7]. Trung Quốc cố gắng bắt kịp thông qua các trung tâm nghiên cứu của mình, như synchrotron Thượng Hải cơ sở bức xạ (SSRF), công bố vào năm 2020 đã đạt được mẫu nửa bước sóng 25 nm sử dụng kỹ thuật in thạch bản giao thoa tia X mềm (XIL) [8].

3. NHỮNG TIẾN BỘ TRONG KỸ THUẬT IN ẨM IN THẠCH BẢN

Quá trình chế tạo chất bán dẫn có liên quan chặt chẽ đến vật lý quang học, trong đó thấu kính và gương là thành phần chính của bất kỳ hệ thống quang khắc nào. Độ phân giải của hệ thống quang học dựa trên định luật Ernest 

Abbe (1873), trong đó NA là một số không thứ nguyên biểu thị phạm vi của các góc mà hệ thống chấp nhận hoặc phát ra ánh sáng [9].

3.1. In thạch bản DUV

Việc sử dụng các bước 193 nm để chế tạo các nút nhỏ hơn, thậm chí lớn tới 45 nm, hầu hết yêu cầu các kỹ thuật quang khắc nâng cao độ phân giải (RET) bổ sung, bao gồm: 1) Mặt nạ dịch pha (PSM); 2) Chiếu sáng ngoài trục (OAI); 3) Phân cực nguồn; 4) Tối ưu hóa mặt nạ nguồn (SMO); 5) Hiệu chỉnh độ gần quang học (OPC) [10-12]. Một trong những máy in thạch bản DUV của ASML nổi tiếng là TWINSCAN NXT:1470 sử dụng sóng ánh sáng UV 193 nm, với quang học chiếu 0,93 NA Carl Zeiss Starlith giảm 4X có thể đạt được độ phân giải khoảng 0,57 nm và công suất của máy là khoảng 300 wafer mỗi giờ [13].

3.2. Kỹ thuật in thạch bản EUV

Công trình nghiên cứu được công bố sớm nhất về sử dụng sóng ngắn như tia X mềm cho in thạch bản là của Heuberger vào năm 1983 [14]. Trong quy trình DUV, tia cực tím 193 nm đến từ laser Argon Fluoride (ArF), EUV được phát ra từ plasma được tạo ra bằng laser. Các electron hấp thụ năng lượng xung laser và khi chúng dừng lại ở mức năng lượng thấp hơn, phát ra năng lượng (~92 eV), tạo thành ánh sáng EUV ~13,5 nm, được phản chiếu về phía mặt nạ quang khắc [15-17]. Sự kết hợp nhiều lớp này là tối ưu cho bước sóng 13,4 nm, đạt độ phản xạ 68,2% [18]. Samsung công bố bộ xử lý Low Power Plus (LPP) 7 nm dựa trên EUV đầu tiên, Exynos 9825 được sử dụng cho Galaxy Note 10, tiết kiệm 40% diện tích, 50% điện năng và nâng cao hiệu suất thêm 20% [19].

3.3. Kỹ thuật in thạch bản EUV NA cao

ASML có kế hoạch triển khai NA cao cho nút 2 nm vào năm 2023, giúp quá trình in thạch bản hoàn thành chỉ với một lần vượt qua (mẫu mặt nạ đơn) so với nhiều lần vượt qua mà quy trình 0,33 NA EUV yêu cầu. Điều đó cũng yêu cầu giảm hiệu ứng 3D (bóng) của mặt nạ và đối phó với độ tương phản và nhiễu do bắn photon. ASML cũng phải vượt qua các trở ngại khác, bao gồm điện trở, mặt nạ, đường khâu, nguồn điện, độ sâu tiêu cự hạn chế ở 0,55 NA, phân cực thấu kính và chi phí.

3.4. Quang khắc tia X

Các nhà nghiên cứu tin rằng thế hệ quang khắc tiếp theo sẽ sử dụng tia X để thu được các bước sóng trong khoảng năng lượng photon từ (0,7-1,2) nm đến (1-1,8) keV. Không giống như kỹ thuật in thạch bản DUV và EUV, cho phép gương đạt được mức giảm quang học 4:1 giữa kích thước của mặt nạ và tấm bán dẫn, X-Ray yêu cầu tỷ lệ mặt nạ 1:1 đối với tấm bán dẫn. Kỹ thuật in khắc tia X đòi hỏi mặt nạ chính xác sử dụng hóa chất nano tiên tiến để tạo ra màng có thể chịu được tần số cao như vậy trong một thời gian đáng kể [20].

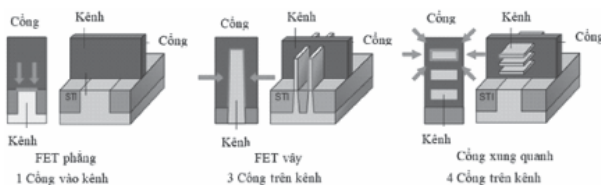
4. NHỮNG TIẾN BỘ VỀ VẬT LIỆU

Sự hợp tác gần đây giữa MIT và Analog Devices, Inc đã mang lại bộ xử lý dựa trên ống nano carbon 16 bit [21]. Các nhà nghiên cứu đã tạo ra một bề mặt Si có các đặc điểm kim loại đủ lớn để cho phép một số ống nano kết nối các đặc điểm kim loại. Để loại bỏ các cốt liệu, họ lắng đọng một lớp vật liệu lên trên các ống nano và sau đó siêu âm nó xuống. Quá trình siêu âm loại bỏ vật liệu cùng với các cốt liệu mà không làm xáo trộn các ống nano bên dưới; sau đó họ khắc các ống nano ra, để chúng ở

đúng vị trí cần thiết. Bên trên các ống nano, một lớp phủ ô-xít khác nhau được thêm vào, các đặc tính của ô-xít kết hợp với các kim loại khác nhau dùng để kết nối các ống nano sẽ trở thành chất bán dẫn loại p hoặc n.

5. NHỮNG TIẾN BỘ TRONG CẤU TRÚC BÓNG BÁN DẪN

Ở cấp độ kiến trúc, có nhiều nỗ lực khác nhau nhằm cải thiện cấu trúc của bóng bán dẫn front-end-of-line (FEOL), các tiếp điểm middle-of-line (MOL) và hệ thống dây điện back-end-of-line (BEOL). Việc giảm chiều dài cổng xuống sẽ làm tăng dòng rò, vì điện áp ngưỡng giảm khi tăng điện áp từ nguồn đến nguồn, một hiện tượng được gọi là hạ thấp rào cản do thoát nước (DIBL) và các hiệu ứng kênh ngắn khác (SCE) làm giảm sự khác biệt giữa trạng thái BẬT và TẮT. Điện dung cổng-kênh càng lớn thì cổng điều khiển kênh càng nhiều, làm giảm SCE. Chất cách điện cổng k cao giúp tăng điện dung cổng, nhưng tỷ lệ chiều dài cổng dưới 28-25 nm sẽ kém hơn SCE, tuy nhiên vẫn giữ DIBL ~100 mV/V, yêu cầu độ dày ô-xít ~1 nm.



Hình 1. Các loại MOSFET khác nhau

5.1. FinFET

Sử dụng chiều thứ ba làm FinFET đi vào thực tế vào năm 2011. Cổng nằm ở hai, ba hoặc bốn cạnh của kênh hoặc bao quanh nó, Hình 1. FinFET giảm thiểu các vấn đề về điện trở và điện dung của FET phẳng, vì việc thu nhỏ chiều rộng vây cho phép kiểm soát cổng qua kênh tốt hơn và giảm SCE. Xu hướng tiến

hóa trước đó là giảm độ dài kênh trong khi vẫn giữ $(L/W) \sim 2,5$. Khi chiều rộng vây giảm, độ linh động của sóng mang giảm do sự phân tán giao diện và giam cầm lượng tử [22]. Trung tâm Vi điện tử Liên trường Đại học (IMEC) ước tính FinFET nhỏ nhất sẽ có hai vây, cách nhau 5 nm, với chiều dài cổng là 15 nm [23]. Hơn nữa, theo Ryckaert, việc có hai vây giúp bù đắp cho sự biến đổi của quy trình. Bắt đầu từ 5 nm trở xuống, các nhà thiết kế phải chọn sử dụng FinFET, FET toàn cổng (GAAFET) hay FET kênh đa cầu (MBC FET). Khi chiều rộng vây đạt tới 3 nm, thách thức sẽ tăng lên, FinFET nút-3 (N3) có thể chỉ có một vây.

5.2. GAAFET và MBCFE

Nhìn chung, GAAFET hoạt động tốt hơn FinFET, vì GAA 3 nm sẽ có điện áp ngưỡng thấp hơn và công suất (15-20)% thấp hơn FinFET 3 nm. Tuy nhiên, GAA và FinFET vẫn chia sẻ các phần cuối cùng của dòng (BEOL) và giữa dòng (MOL) tương tự, giúp cải thiện hiệu suất khoảng 8%. BEOL là một trong những bước chính của quy trình sản xuất chất bán dẫn trong đó các đầu nối được hình thành trong mạch tích hợp. Các hệ thống dây kim loại nhỏ bé này đang trở nên đông đúc hơn khi mỗi nút được thu nhỏ lại, gây ra độ trễ điện trở (RC) trong chip điện tử nhiều hơn [24].

5.3. NSFET/MBCFE

NSFET đã được chứng minh là có độ trễ RC ít hơn FinFET [24]. NSFET hoạt động tốt hơn và ít rò rỉ hơn do dòng điện được điều khiển ở bốn phía. NSFET thường có bốn tấm có chiều rộng (12-16) nm và độ dày 5 nm. Mặt khác, công nghệ NSFET vẫn phải đối mặt với một số trở ngại, bao gồm mất cân bằng n/p, kiểm soát độ dài cổng, khoảng cách giữa các

khoảng cách, hiệu quả của tấm đáy và phạm vi phủ sóng của thiết bị [22]. NSFЕ có khả năng miễn nhiễm tốt hơn với các biến thể quy trình khác và cho thấy ít sự không khớp dòng ON hơn so với NWFE, nhưng NWFE đạt được độ không khớp thấp hơn trong DIBL và độ dốc dưới ngưỡng [25]. Sự ra đời của FET kênh đa cầu (MBCFE) của Samsung ở nút 3 nm đã đánh dấu sự khởi đầu của NSFЕ trong thế giới công nghiệp.

6. KẾT LUẬN

Ngành công nghiệp chip điện tử đóng vai trò quan trọng trong việc định hình tương lai của công nghệ, kinh tế và chính trị. Bài viết thảo luận về những thành tựu, xu hướng và dự báo mới nhất của ngành bán dẫn. Nó bao gồm các kỹ thuật quang khắc bán dẫn mới nhất, cấu trúc bóng bán dẫn, những lời hứa và thách thức. Ở cấp độ xử lý chất bán dẫn, quang khắc cực tím (EUL) là xu hướng mới nhất để sản xuất các tính năng dưới 7 nm, trong đó bước sóng ngắn EUL giúp loại bỏ nhu cầu tạo nhiều mẫu. Ở cấp độ vật liệu, bài báo đã đưa ra những tiến bộ gần đây nhất nhằm thay thế vật liệu sản xuất chất bán dẫn truyền thống để cải thiện hiệu suất của bóng bán dẫn. Ở cấp độ kiến trúc thiết bị, việc đạt được các tính năng dưới 2 nm đòi hỏi phải có cấu trúc bóng bán dẫn mới, chẳng hạn như FET forksheet và FET bổ sung (CFET). Nghiên cứu cũng tóm tắt các xu hướng phát triển khác ở cấp độ front-end-of-line (FEOL), mid-of-line (MOL) và back-end-of-line (BEOL). Tất cả các kiến trúc, vật liệu và kỹ thuật chế tạo bóng bán dẫn mới đều phải được phát triển để duy trì tốc độ tích hợp bóng bán dẫn của Moor. ❖

Ngày nhận bài: **03/3/2024**

Ngày phản biện: **27/3/2024**

Tài liệu tham khảo:

- [1]. “*Mineral Commodity Summaries 2020*”. U.S. Geological Survey, 2020.
- [2]. “*Semiconductor market size, share & Covid-19 impact analysis, and regional forecast, 2020-2027*”. Fortune Business Insights, Oct. 2020. Accessed: Feb. 16, 2021.
- [3]. “*ASML’s Twinscan NXE:3400B supports EUV volume production at the 7 and 5 nm nodes*” (accessed Feb. 26, 2021).
- [4]. “*Ranking of semiconductor suppliers in 2020: IC insights*”. Telecom Lead, Nov. 24, 2020.
- [5]. “*Top semiconductor foundries market share by quarter 2021*”. Statista.
- [6]. L. Feiner, “*Biden signs executive order to address chip shortage through a review to strengthen supply chains*”. CNBC, Feb. 24, 2021.
- [7]. J. Wang, “*The Billionaire Behind The Taiwanese Company Building A \$12 Billion Semiconductor Factory In Arizona*”. Forbes, Accessed: Mar. 18, 2021.
- [8]. J. Zhao et al., “*The recent development of soft x-ray interference lithography in SSRF*”. Int. J. Extreme Manuf, vol. 2, no. 1, p. 012005, Feb. 2020, doi: 10.1088/2631-7990/ab70ae.
- [9]. C. Zahlten, P. Gräupner, J. van Schoot, P. Kürz, J. Stoeldraijer, and W. Kaiser, “*High-NA EUV lithography: pushing the limits*”. In Proceedings of the 35th European Mask and Lithography Conference, Dresden, Germany, Aug. 2019, vol. 11177, pp. 111770B-1:111770B-9. doi: 10.1117/12.2536469.
- [10]. A. Asenov, “*Statistical nano CMOS variability and its impact on SRAM*”. In Extreme Statistics in Nanoscale Memory Design, A. Singhee and R. A. Rutenbar, Eds. New York, NY, USA: Springer, 2010, pp. 17-49.
- [11]. M. Fulde, “*Variation Aware Analog and Mixed-Signal Circuit Design in Emerging Multi-Gate CMOS Technologies*”. Dordrecht, Netherlands: Springer, 2010.

- [12]. C. C. Hu, “*Modern Semiconductor Devices for Integrated Circuits*”. Pearson, 2010. doi: 10.1016/0016-0032(51)91102-7.
- [13]. “*The ASML TWINSCAN NXT:1470*”.
- [14]. A. Heuberger and H. Betz, “*X-ray lithography using synchrotron radiation and ion-beam shadow printing*”. In *Electron-Beam, X-Ray and Ion-Beam Techniques for Submicron Lithographies II*, Nov. 1983, vol. 0393, pp. 221–232. doi: 10.1117/12.935114.
- [15]. N. Mojarad, M. Hojeij, L. Wang, J. Gobrecht, and Y. Ekinici, “*Single-digit-resolution nanopatterning with extreme ultraviolet light for the 2.5 nm technology node and beyond*”. *Nanoscale*, vol. 7, no. 9, pp. 4031–4037, 2015, doi: 10.1039/C4NR07420C.
- [16]. O. O. Versolato, “*Physics of laser-driven tin plasma sources of EUV radiation for nanolithography*”. *Plasma Sources Sci. Technol.*, vol. 28, no. 8, p. 083001, Sep. 2019, doi: 10.1088/1361-6595/ab3302.
- [17]. H. J. Levinson, “*Extreme Ultraviolet Lithography*”. SPIE, 2020. doi: 10.1117/3.2581446.
- [18]. H. J. Levinson, “*Principles of Lithography*”. 4th ed. Bellingham, Washington, USA: Society of Photo Optical, 2019.
- [19]. SamMobile, “*Samsung Exynos 9825*”. SamMobile.
- [20]. V. Philipsen et al., “*Novel EUV mask absorber evaluation in support of next-generation EUV imaging*”. In *Photomask Technology 2018*, 2018, vol. 10810, pp. 108100C-1:108100C-13.
- [21]. G. Hills et al., “*Modern microprocessor built from complementary carbon nanotube transistors*”. *Nature*, vol. 572, no. 7771, Art. no. 7771, Aug. 2019, doi: 10.1038/s41586-019-1493-8.
- [22]. P. McLellan, “*IEDM: TSMC on 3nm Device Options*”. Cadence, Jan. 2020.
- [23]. J. Ryckaert et al., “*Enabling Sub-5nm CMOS Technology Scaling Thinner and Taller!*”. In *2019 IEEE International Electron Devices Meeting (IEDM)*, Dec. 2019, p. 29.4.1-29.4.4. doi: 10.1109/IEDM19573.2019.8993631.
- [24]. L.-Y. Lee, T.-C. Tsai, J.-Y. Wu, and C. Lee, “*Different scaling ratio in FEOL/ MOL/ BEOL*”. US9292649B2, Mar. 22, 2016 Accessed: Feb. 21, 2021. Online.
- [25]. C. K. Jha, P. Yogi, C. Gupta, A. Gupta, R. A. Vega, and A. Dixit, “*Comparison of LER induced mismatch in NWFET and NSFET for 5-nm CMOS*”. *IEEE J. Electron Devices Soc.*, vol. 8, pp. 1184–1192, 2020, doi: 10.1109/JEDS.2020.3026534.